

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-106509

(43) 公開日 平成7年(1995)4月21日

(51) Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 25/065

25/07

25/18

H 0 1 L 25/ 08

Z

25/ 14

Z

審査請求 未請求 請求項の数 8 O L (全 9 頁) 最終頁に続く

(21) 出願番号

特願平5-243120

(22) 出願日

平成5年(1993)9月29日

(71) 出願人 000003964

日東電工株式会社

大阪府茨木市下穂積1丁目1番2号

(72) 発明者 日野 敦司

大阪府茨木市下穂積1丁目1番2号 日東  
電工株式会社内

(72) 発明者 石坂 整

大阪府茨木市下穂積1丁目1番2号 日東  
電工株式会社内

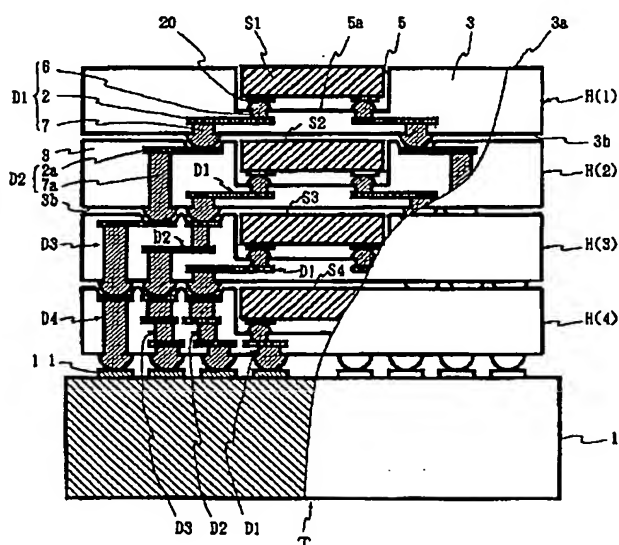
(74) 代理人 弁理士 高島 一

(54) 【発明の名称】 多層構造半導体装置

(57) 【要約】

【構成】 絶縁性基材3に設けられた凹部5に半導体素子Sを搭載した半導体装置Hを、外部基板1上に2以上に積層してなる多層構造半導体装置Tであって、絶縁性基材3内に設けられた電気的導通路D1、D2、D3、D4の1つまたは2以上を介して、各半導体装置の半導体素子と外部基板の端子とをそれぞれ導通されてなるものである。

【効果】 凹部に半導体素子を収納した薄型の半導体装置を積層しているので、多種多様の半導体素子を三次元的に高密度に実装できる。また、電気的導通路に導体回路をかませ、また、導体回路を多層化させているので、電気的導通路を高密度にアレイ状に形成でき、半導体素子配線のファインピッチ化に十分に対応可能である。さらに、半導体装置の電気的導通路の先端をバンプ電極としているので、半導体素子と電気的導通路、半導体装置間または半導体装置と外部基板間との電気的接続がより確実になる。



1 外部基板  
2, 2a 導体回路  
3 絶縁性基材  
3a 一方向側  
3b 反対側  
5 半導体素子搭載用凹部  
5a 凹部底面  
6, 7 導通路  
11 外部基板端子部  
20 半導体素子端子部  
D1, D2, D3, D4 電気的導通路  
H(1), H(2), H(3), H(4) 半導体装置  
S1, S2, S3, S4 半導体素子  
T 多層構造半導体装置

## 【特許請求の範囲】

【請求項 1】 絶縁性基材に設けられた凹部に半導体素子を搭載した半導体装置を、外部基板上に 2 以上積層してなる多層構造半導体装置であって、絶縁性基材内に設けられた電氣的導通路を介して、各半導体装置の半導体素子と外部基板の端子とをそれぞれ導通されてなる多層構造半導体装置。

【請求項 2】 電氣的導通路が、絶縁性基材に設けられた導体回路を有する請求項 1 記載の多層構造半導体装置。

【請求項 3】 電氣的導通路が、絶縁性基材表面から外方向へ突出する突起状電極として形成されてなる請求項 1 記載の多層構造半導体装置。

【請求項 4】 導体回路が、絶縁性基材に埋設されたものである請求項 2 記載の多層構造半導体装置。

【請求項 5】 半導体装置が、絶縁性基材の凹部底面を厚み方向に貫通する少なくとも一以上の貫通孔が形成されているものである請求項 1 または 2 記載の多層構造半導体装置。

【請求項 6】 半導体装置が、凹部および電氣的導通路を避けて絶縁性基材を厚み方向に貫通する複数の熱伝導路を有し、該熱伝導路が外辺部に設けられた放熱装置に接続されていることを特徴とする請求項 1 記載の多層構造半導体装置。

【請求項 7】 半導体素子が、半導体装置の凹部に絶縁性樹脂により封止されているものである請求項 1 記載の多層構造半導体装置。

【請求項 8】 半導体装置間の界面が、接着性樹脂層にて密着されたものである請求項 1 記載の多層構造半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、多層構造半導体装置に関し、詳しくは半導体素子を搭載した半導体装置を外部基板上に 2 以上に積層してなる半導体素子を三次元的に高密度に実装できる多層構造半導体装置に関するものである。

## 【0002】

【従来技術】近年、電子機器の発達によって半導体装置を多く用いるデバイスや機器は、小型薄型化や軽量化に伴い、半導体素子を一定面積の基板上に高密度実装する必要がある、そのような用途に適するものとしてマルチチップモジュールが注目されている。しかし、従来のように一定面積の基板上に二次元的に半導体素子やチップ部品を搭載する限りは搭載できる量も限りがあり、高密度化の進展により限界がみえてくる。

## 【0003】

【発明が解決しようとする課題】こうした問題を回避して、より高密度実装を実現するために、例えば回路基板の両面に部品を実装するような構造が提案されている

が、この構造によっても最終的には面積の問題は避けて通れず、また、両面に部品を実装するため、部品装着時の作業性の悪さなど問題も多い。また、半導体素子自身を三次元的に積層して実装密度を上げるという試みもなされている。この半導体装置によると、単位面積当たり実装面積は飛躍的に向上するが、積層できる部品は限られており、また積層作業にも手間がかかるという問題がある。

【0004】本発明は、上記従来の問題を解消し、半導体素子を三次元的に高密度に実装できる多層構造半導体装置を提供することを目的とする。また、本発明は、半導体素子配線のファインピッチ化に対応できる多層構造半導体装置を提供することを目的とする。

## 【0005】

【課題を解決する手段】上記目的を達成するために、本発明の多層構造半導体装置は、絶縁性基材に設けられた凹部に半導体素子を搭載した半導体装置を、外部基板上に 2 以上に積層してなる多層構造半導体装置であって、絶縁性基材内に設けられた電氣的導通路を介して、各半導体装置の半導体素子と外部基板の端子とがそれぞれ導通されてなることを特徴とするものである。

【0006】なお、以下の説明においては、「導体回路」は、配線パターンのみならず、電極、リードなどを包含する広い概念を示す。また、「端子」は、電極、パッド、ランドなどの概念を包含する。

【0007】さらに、「凹部」については、半導体素子を収納して搭載できるものであれば、その形状、大きさは特に限定されず、この凹部は少なくとも 1 つ形成されており、また回路配線が露出するように形成されていて

## 【0008】

【作用】本発明の半導体装置は、絶縁性基材に設けられた凹部に半導体素子を搭載した半導体装置を、外部基板上に 2 以上積層して、半導体装置自体を薄型となし、且つ多種多様の半導体素子を三次元的に実装できるようにしている。また、各半導体装置に搭載された半導体素子と、外部基板の端子との電氣的接続は、当該半導体装置より下層にある半導体装置の絶縁性基材内に設けられた電氣的導通路を順次介して確実にかつ、省スペース的に行われる。

【0009】積層される半導体装置は、下層になるほどその電氣的導通路の数が増加するが、上記電氣的導通路は、絶縁性基材内に設けられた導体回路にて電氣的接続すれば、この導体回路の形成に応じてこの電氣的導通路を自在に形成できるようになる。したがって、該電氣的導通路を絶縁性基材内に近接させ、高密度に形成できるようになり、半導体素子配線のファインピッチ化に十分に対応できるようになる。

## 【0010】

【実施例】以下に、実施例を示す図面に基づき本発明を

より詳細に説明する。なお、本発明はこれらの実施例によって何ら限定されるものではない。図 1 は、本発明の多層構造半導体装置の一実施例を示す一部切欠断面図である。同図において T は多層構造半導体装置（この例では 4 層構造）であって、絶縁性基材 3 に設けられた凹部 5 に半導体素子 S を搭載した半導体装置 H を、外部基板 1 上に 4 層に積層したものである。各半導体装置 H は、凹部内に搭載された半導体素子 S を下層の半導体装置または外部基板 1 に導通させる電氣的導通路 D 1 を有する。また、最上層の半導体装置 H ( 1 ) 以外の各半導体装置 H ( 2 ) , ( 3 ) , ( 4 ) は、それよりも上層に位置する半導体装置に形成された電氣的導通路を、それよりも下層に位置する半導体装置または外部基板の端子に導通する電氣的導通路 D 2 , D 3 , D 4 の 1 つまたは 2 以上を有する。

【 0 0 1 1 】 上記電氣的導通路 D 1 は、絶縁性基材 3 内に設けられ、凹部内に搭載された半導体素子 S を下層の半導体装置または外部基板の端子に導通するものであり、電氣的導通路 D 2 , D 3 , D 4 は、それぞれ上層に形成された各電氣的導通路に接続され、下層の半導体装置の電氣的導通路または外部基板の端子に導通するものである。

【 0 0 1 2 】 電氣的導通路 D 1 , D 2 , D 3 , D 4 は、図 1 に示すようにいずれも絶縁性基材に自由な配線パターンにて配線された導体回路 2 , 2 a … によって電氣的接続されていることが好ましい。半導体装置 H ( 1 ) を例にとれば、絶縁性基材 3 内に埋設された導体回路 2 から絶縁性基材の凹部に向かって厚み方向に延びて凹部底面 5 a に露出する導通路 6 と、絶縁性基材の凹部形成側の反対面に向かって厚み方向に延びて凹部形成側 3 a とは反対面側 3 b に露出する導通路 7 とで電氣的導通路 D 1 が形成されている。なお、いずれの導体回路は、絶縁性基材に埋設されるとは限らず、絶縁性基材表面にあってもよい。

【 0 0 1 3 】 電氣的導通路 D 1 の両先端には、絶縁性基材表面から外方向に突出する接点部である金属突出物（以下、バンプ電極という）が形成されている。このバンプ電極は、半導体素子の端子 2 0 に当接する位置に、また、下層に位置する半導体装置 H ( 2 ) の電氣的導通路 D 2 に当接する位置にそれぞれ形成されている。電氣的導通路 D 2 , D 3 , D 4 についても同様に任意の端部をバンプ電極としてもよいことはいふまでもない。

【 0 0 1 4 】 その際、当該バンプ電極と導通される電氣的導通路は、バンプ電極に嵌合する形状に絶縁性基材表面より凹んだ態様とすることが好ましい（例えば、導体回路を露出させる態様とすることが好ましい）。かくして、積層する半導体装置の外部接続用バンプ電極を上記凹んだ個所に落とし込むことにより、位置決め接続が簡単となる。

【 0 0 1 5 】 なお、上記バンプ電極、このバンプ電極と

接続する半導体素子の端子、導体回路（平面電極）、外部基板の端子等の表面に半田層を設けるようにすると、電氣的接続がより確実になり接続信頼性が向上するようになり好ましい。

【 0 0 1 6 】 なお、上記実施例では、電氣的導通路 D 1 の両先端にバンプ電極を形成したが、本発明では、図 5 の部分断面図に示すように、半導体素子の端子部をバンプ電極にし、半導体装置の電氣的導通路の先端を平面電極とすることができる。

【 0 0 1 7 】 また、半導体装置 H ( 2 ) を例にとると、絶縁性基材 3 内に埋設された導体回路 2 a と、この導体回路から絶縁性基材を厚み方向に延びて、凹部形成側の反対面側 3 b に露出する導通路 7 a とで電氣的導通路 D 2 が形成されている。上記電氣的導通路 D 2 の導通路 7 a の先端には、絶縁性基材表面から外方向に突出する接点部であるバンプ電極が形成されている。このバンプ電極は、下層に位置する半導体装置 H ( 3 ) の電氣的導通路 D 3 に当接する位置に形成されている。

【 0 0 1 8 】 本発明では、電氣的導通路を形成するに際して、導体回路は 1 層に限定されず、ピン数や配線の引き回し、あるいは垂直方向の導通路の配置などに応じてその導体回路間を導通路で接続した多層構造とすることができる。この構成とすることによって、上記電氣的導通路を任意の形状に自在に形成できるようになり、電氣的導通路を近接させて高密度にアレイ状に形成できるようになる。

【 0 0 1 9 】 上記 4 層構造の半導体装置 T においては、半導体装置 H ( 1 ) に搭載された半導体素子 S 1 は、半導体装置 H ( 1 ) の電氣的導通路 D 1 と、半導体装置 H ( 2 ) の電氣的導通路 D 2 と、半導体装置 H ( 3 ) の電氣的導通路 D 3 と、半導体装置 H ( 4 ) の電氣的導通路 D 4 とを介して、外部基板 1 の端子部 1 1 に導通される。半導体素子 S 2 , S 3 , S 4 も同様に、外部基板の端子部に電氣的に接続される。

【 0 0 2 0 】 上記実施例からも明らかなように、本発明の多層構造半導体装置においては、積層される半導体装置は、下層になるほど電氣的導通路が増加する。

【 0 0 2 1 】 上記絶縁性基材の材料としては、電気絶縁性を有するものであればよく、さらに適度な可撓性を有するものであればよく、例えばポリエステル系樹脂、エポキシ系樹脂、ウレタン系樹脂、ポリスチレン系樹脂、ポリエチレン系樹脂、ポリアミド系樹脂、ポリイミド系樹脂、ABS樹脂、ポリカーボネート樹脂、シリコン系樹脂、フッ素系樹脂など熱硬化性樹脂や熱可塑性樹脂を問わず用いることができる。また、これらの樹脂をたとえばガラスクロス等に含ませたものを用いることもできる。これらの樹脂のうち、耐熱性や機械的強度の点からはポリイミド系樹脂を用いることが好ましい。また、特に大型コンピューター用途の如く信号の伝送速度の高速性が要求されるような場合は、低誘電率であるフ

ッ素含有ポリイミド樹脂やフッ素系樹脂を絶縁性基材の全部あるいは一部分に用いると効果的である。本発明では、上記材料からなる層やフィルムを基材として用いる。

【 0 0 2 2 】 上記半導体素子搭載用の凹部は、搭載する半導体素子と相似であって、半導体素子よりも僅かに大きく設定される。またその深さは、半導体素子が絶縁体表面より上に露出しないように設定されることが好ましい。この凹部形状とすることによって、半導体素子を凹部に収容でき、半導体装置を薄くできるようになる。また、多種多様の半導体素子を搭載できるようになる。なお、半導体素子の厚みが凹部の深さより厚く、該素子が絶縁体表面より上にはみ出る場合には、上記外部接続用のバンプ電極の高さを、半導体素子と他の半導体装置を形成する絶縁体と接触しないように設定すればよい。

【 0 0 2 3 】 上記導体回路、導通路およびバンプ電極を構成する形成材料としては、導電性を有するものであれば特に限定されず、公知の金属材料が使用できるが、例えば金、銀、銅、白金、鉛、錫、ニッケル、コバルト、インジウム、ロジウム、クロム、タングステン、ルテニウムなどの単独金属、またはこれらを成分とする各種合金、例えば半田、ニッケル錫、金-コバルト等が挙げられる。

【 0 0 2 4 】 なお、本発明では、図 2 の断面図に示すように、上記凹部 5 を絶縁性基材 3 の同一平面側に複数箇所形成させることができる。この構成とすることによって、半導体素子の実装密度をより向上させることができる。

【 0 0 2 5 】 また、本発明では、図 3 の断面図に示すように、上記凹部 5 を 2 段に形成することができる。この構成とすることによって、フェースダウンで半導体素子を電気的導通路に接続するのではなく、半導体素子を凹部底面にダイ接着し、凹部の一段高い部分に露出しているリード部分にワイヤーボンドにより接続できるようになる。この 2 段の凹部構造とすることによって、従来の半導体実装技術がそのまま使用できるという利点がある。

【 0 0 2 6 】 また、上記 2 段の凹部構造では、図 4 に示すように、ワイヤーボンドにかえて TAB ビームリードを用いた接続にでき、半導体素子を搭載する作業性、生産性を向上させることができるようになる。

【 0 0 2 7 】 上記半導体装置は、例えば次に示す方法によって製造される。まず、銅箔等の導体上に、熱硬化性ポリイミド、熱可塑性ポリイミド等の絶縁性基材を積層する。ついで、上記積層されたフレキシブル基板の導体部分を、公知の方法によって所定のパターンにエッチングして導体回路を形成する。次に絶縁性基材面側より導通路を設ける部分に導体回路に達する穴を形成する。この穴を形成する方法としては、化学エッチング、レーザー光によるアブレーション、あるいは感光性ポリイミド

によるものなどを適宜使用する。

【 0 0 2 8 】 引き続き該穴に金属物質を充填し、先端には接続用の導通路を平面電極あるいはバンプ電極として形成する。充填される金属物質としては銅、銀、金、錫、鉛、ニッケル、コバルト、インジウムなどの金属、もしくはこれらを成分とする各種合金などが用いられる。金属物質の充填方法としては電解メッキ法や金属ペーストの印刷法などがあげられるが、穴底部に露出する導電層を陰極として穴部に金属物質をメッキ充填する電解メッキ法が微小な穴への金属の充填性や、均一な高さのバンプの形成性の点から好ましいものである。また、バンプ部分のみの形成方法としては、公知の所謂転写バンプ形成法を用いると均一性の高いバンプが容易に得られる。

【 0 0 2 9 】 このようにして形成する個々のプリント基板のうち、半導体搭載用の凹部にあたる部分は、その所定の部分が半導体素子に相対する形状に、打ち抜きプレスやレーザー加工等の手法を用いて事前に開口部が形成されている。こうして形成された個々のプリント基板を、熱圧プレス等の公知の方法を用いて熱圧着、積層して半導体素子搭載用の基板を形成する。この工程で、絶縁性基材内部の導体回路同士がバンプ電極を介して接続される。

【 0 0 3 0 】 上記製造例では、半導体接続用および外部接続用バンプ電極は、個々のプリント基板形成時に同時に形成されているが、個々のプリント基板を積層した後にこれらのバンプ電極を形成してもよい。この方法によれば、個々のプリント基板積層時の外部に露出したバンプ電極へのダメージを抑制できる。

【 0 0 3 1 】 また、半導体素子搭載用凹部は、プリント基板積層後に絶縁性基材にハーフエッチングを施すことによっても形成することができる。この場合、ハーフエッチング方法としては、ウェットエッチング、ドライエッチングいずれの方法も用いることができるが、エッチング深さの制御のし易さなどを考慮すると、エキシマレーザーのような紫外レーザーによるドライエッチング加工を用いることが好ましい。

【 0 0 3 2 】 図 6、7 は上記した半導体装置の具体的製法を示す模式工程図である。図 6 に記載の方法は、各プリント基板を積層した後に、素子搭載用凹部を形成するものである。一方、図 7 に記載の方法は、予め半導体素子の形状に打ち抜いた絶縁性基材を積層して素子搭載用凹部を形成するものである。

【 0 0 3 3 】 上記のようにして製造された半導体装置の凹部に半導体素子を搭載し、ついで上記所定の電気的導通路が形成された各半導体装置を、図 8 に示すように、外部基板（図示せず）上に順次積層し、リフロー等公知の方法を用いて外部基板に接続することによって、本発明の多層構造半導体装置が製造される。

【 0 0 3 4 】 本発明では、図 9 の断面図に示すように、

半導体装置の凹部底面の絶縁性基材を厚み方向に貫通して外部と凹部内とを連通する少なくとも一以上の貫通孔を形成することができる。この構成とすることによって、半導体装置内の空気の流通が容易となつて、放熱性が向上する。また、このような貫通孔を存在させることによって、半導体素子搭載部分の絶縁性樹脂層が吸湿などによる寸法変化することを抑制でき、寸法変化による歪みを低減できる。

【0035】また、本発明では、図10の断面図に示すように、凹部に搭載した半導体素子の周囲を封止樹脂により封止することができる。この封止に用いる樹脂としては、エポキシ樹脂、シリコン樹脂、フッ素樹脂等の半導体素子の封止に一般的に使用されるものであれば特に限定はされない。封止の方法としては、ポッティング、キャスティング、トランスファーモールドなどが用いられる。該凹部の絶縁樹脂層に貫通孔が形成されていると、上記封止においてポイドなどが発生せず、良好な封止が可能となる。特に粘度の低い樹脂を用いると貫通孔を通して毛細管現象により樹脂が凹部の空隙部に隅々まで充填されるので封止の信頼性が高くなる。

【0036】さらに、図11の断面図に示すように、例えば半導体素子の周囲をシリコン樹脂やフッ素樹脂のような柔軟な絶縁性樹脂で封止し、さらにその外側をエポキシ系樹脂等で封止することもできる。この構成とすることによって、半導体素子に加わる応力が緩衝され、該応力による悪影響が低減される。さらに、絶縁性基材としてポリイミドを使用した場合、エポキシ樹脂との密着性に優れるため、エポキシ樹脂とポリイミド樹脂の界面からの水分の侵入が防止され、封止の信頼性が大幅に向上する。

【0037】図12は、上記積層した個々の半導体装置間の界面を、熱可塑性樹脂あるいは熱硬化性樹脂などよりなる接着樹脂層を設けて完全に密着させた例を示す部分断面図である。こうすることによって、電極部の接続信頼性を高めることができ、また各半導体装置を一体化させることによって、半導体装置の耐衝撃性を向上でき信頼性が高くなる。上記熱可塑性樹脂あるいは熱硬化性樹脂としては、特に限定されるものでなく通常接着剤として用いられるものであればいずれも使用できる。特に耐熱性、信頼性が必要な場合は、熱可塑性ポリイミドを

【0038】上記半導体装置間を樹脂で密着させる方法としては、たとえば基板上に塗布等の手段によって接着性樹脂層を設けるか、基板間に接着性絶縁シートを挟み込み、これを熱圧プレス等で積層すればよい。この際、パンプ電極と導体回路とは接触させる必要がある。もっとも、以下に図示する態様を採用すれば、当該接触の必要はない。即ち、図13(a)に示す如く、接着性絶縁樹脂層中に金属粒子等の導電性粒子を分散することによって圧着方向(厚み方向)にのみ導通する、いわゆる異

方導電性接着シートを用いたものである。また、図13(b)は、シートの厚み方向に柱状の導電性物質が埋設されている接着性絶縁樹脂層を用いたものである。これらの接続方法は、半導体搭載基板間あるいはそれを形成するプリント基板間、いずれの接続に用いてもよい。

【0039】また、本発明の多層構造半導体装置においては、外辺部に設けられたヒートシンク等の熱交換装置に接続して放熱構造を併設することができる。図14は、この例を示す断面図である。各半導体装置の凹部底面に貫通孔が形成され、この孔には高熱伝導性物質が充填されている。また、半導体装置間の接続用パンプ電極以外の部分にも、該パンプ電極に接触しない範囲で高熱伝導性物質層が形成されている。さらに、上記高熱伝導性物質層より上部に向かって形成された熱伝導路が、最上部に配置されたヒートシンクに接続されている。上記熱伝導路は、半導体装置の絶縁性基材に、凹部形成部および電氣的導通路を避けて厚み方向に貫通する貫通孔に高熱伝導性物質が充填されて形成されている。このような放熱構造を形成することによって、発熱が大きい大出力半導体素子にも対応が可能となる。

【0040】ここで使用する高熱伝導性物質としては、電極部分と同じように、めっき形成が可能である金属物質がより好ましく、さらに熱伝導の点を考慮すると銅あるいはその合金であることが特に好ましい。

【0041】

【発明の効果】以上説明したように、本発明の多層構造半導体装置によれば、各半導体装置には、絶縁性基材に凹部が設けられており、この凹部に多種多様の半導体素子を搭載しても薄型となる。しかも、絶縁性基材内に設けられた電氣的導通路を介して、各半導体装置の半導体素子と外部基板の端子とがそれぞれ接続されるので、省スペース化が図られ、半導体素子を三次元的に高密度に実装できる。さらに、その半導体素子は、凹部に落とし込むだけで簡単に搭載できるので、半導体素子搭載時の位置決めが容易になる。

【0042】また、下層となるにつれて半導体装置にはより数多くの電氣的導通路が形成されるようになるが、その際、電氣的導通路に導体回路をかませること、また、導体回路を多層化させることによって高密度にレイ状に形成することもできる。したがって、実装面積を広げることなく、また、ピン数が多くなっても十分対応できるようになり、基板の接続用電極の設計の自由度が広がり、半導体素子配線のファインピッチ化に十分に対応可能である。

【0043】また、上記半導体装置は、上記電氣的導通路の先端をパンプ電極として形成すれば、半導体素子と電氣的導通路、半導体装置間または半導体装置と外部基板との電氣的接続がより確実になされる。

【図面の簡単な説明】

【図1】本発明の一実施例による4層構造の半導体装置

を示す一部切欠断面図である。

【図 2】複数の凹部を形成した半導体装置を示す部分断面図である。

【図 3】2 段の凹部を形成した半導体装置を示す部分断面図である。

【図 4】2 段の凹部に搭載した半導体素子を TAB ビームリードを用いて接続した例を示す部分断面図である。

【図 5】半導体素子の端子部をバンプ電極にした例を示す断面図である。

【図 6】半導体装置の具体的製法を示す模式工程図である。

【図 7】半導体装置の他の具体的製法を示す模式工程図である。

【図 8】本発明の多層構造半導体装置の製造方法を示す模式工程図である。

【図 9】凹部の絶縁性基材に貫通孔を形成した半導体装置を示す断面図である。

【図 10】凹部に搭載した半導体素子を樹脂封止した例を示す断面図である。

【図 11】半導体素子周辺を柔軟な絶縁性樹脂で封止し、さらにその外側をエポキシ系樹脂で封止した例を示す断面図である。

【図 12】個々の半導体装置間の界面を、樹脂で密着させた例を示す断面図である。

【図 13】半導体装置間を樹脂で密着させる方法を示す部分断面図である。13 (a) は、接着性絶縁樹脂層中に導電性粒子を分散させた異方導電性接着シートを用いる方法、13 (b) は、シートの厚み方向に柱状の導電性物質が埋設された接着性絶縁樹脂層を用いる方法をそれぞれ示す。

【図 14】多層構造半導体装置の外辺部に放熱装置を併設して放熱構造を形成した例を示す断面図である。

【符号の説明】

1 外部基板

2, 2a 導体回路

3 絶縁性基材

3a 一方面側

3b 反対側

5 半導体素子搭載用凹部

5a 凹部底面

6, 7 導通路

11 外部基板端子部

20 半導体素子端子部

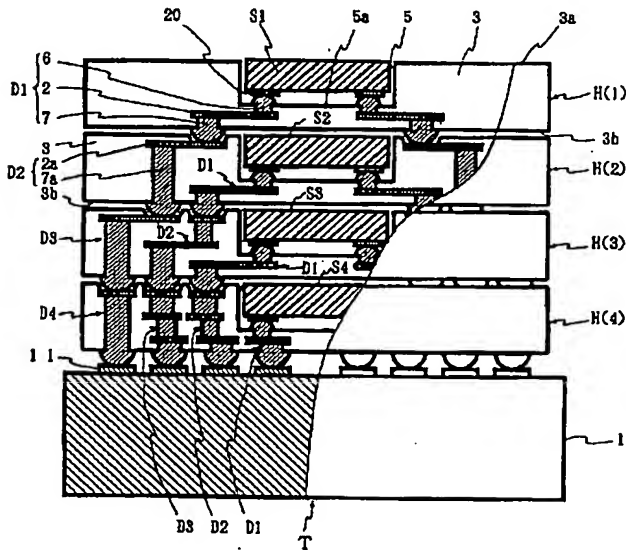
D1, D2, D3, D4 電気的導通路

H(1), H(2), H(3), H(4) 半導体装置

S1, S2, S3, S4 半導体素子

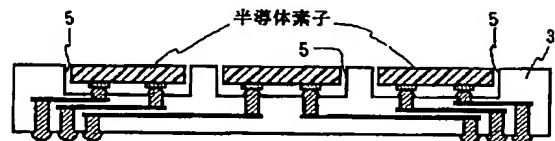
T 多層構造半導体装置

【図 1】

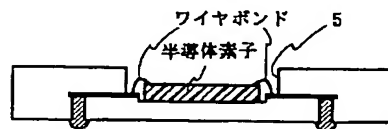


1 外部基板  
2, 2a 導体回路  
3 絶縁性基材  
3a 一方面側  
3b 反対側  
5 半導体素子搭載用凹部  
5a 凹部底面  
6, 7 導通路  
11 外部基板端子部  
20 半導体素子端子部  
D1, D2, D3, D4 電気的導通路  
H(1), H(2), H(3), H(4) 半導体装置  
S1, S2, S3, S4 半導体素子  
T 多層構造半導体装置

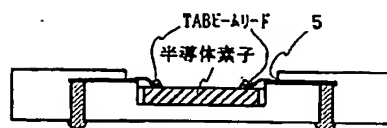
【図 2】



【図 3】

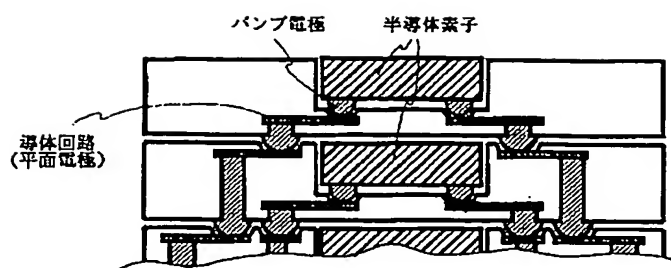


【図 4】

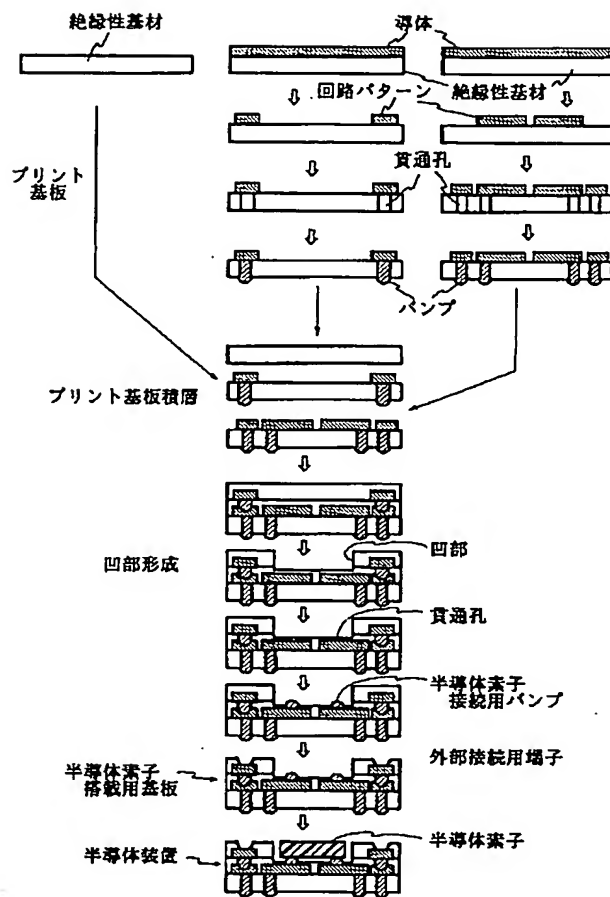




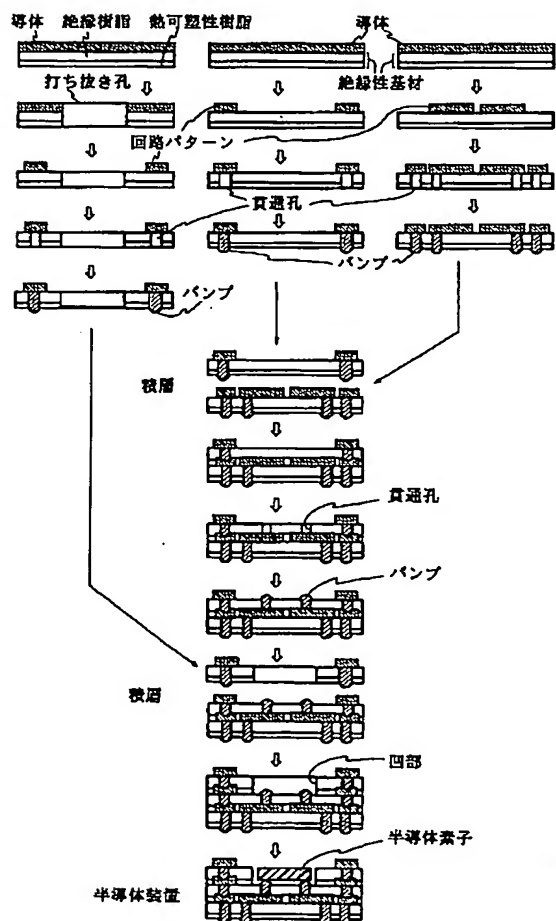
【図 5】



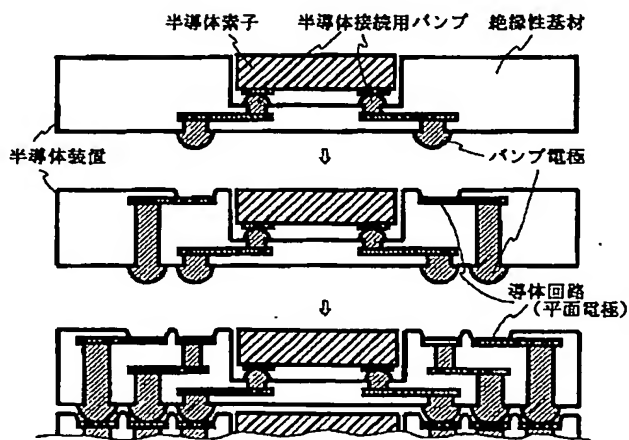
【図 6】



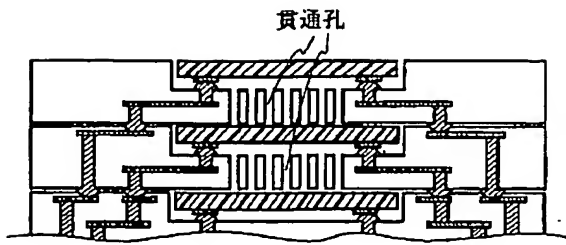
【図 7】



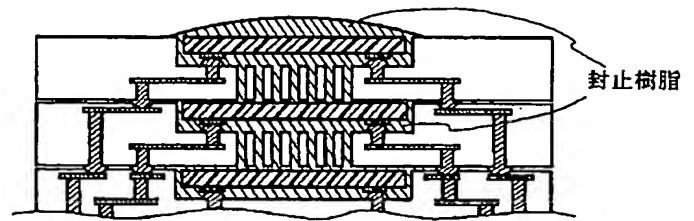
【図 8】



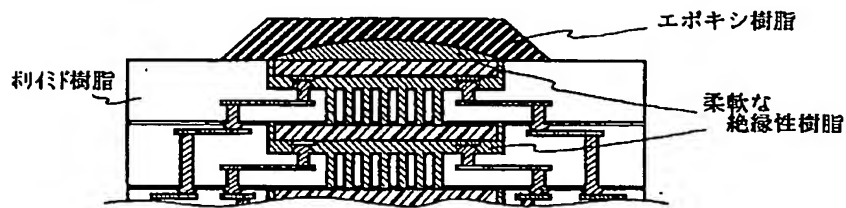
【図 9】



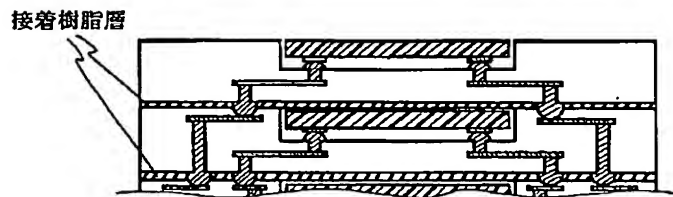
【図 10】



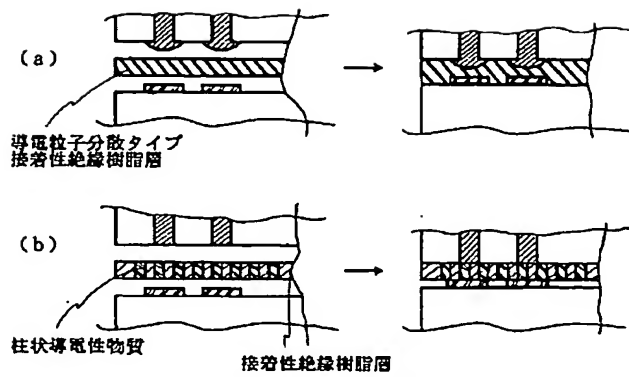
【図 11】



【図 12】

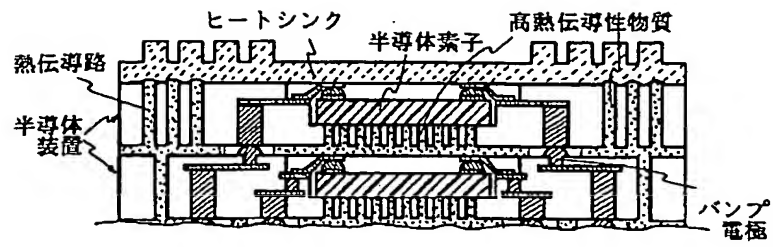


【図 13】





【図 1 4】



---

フロントページの続き(51) Int. Cl.<sup>6</sup>

H 0 1 L 25/10

25/11

識別記号

庁内整理番号

F I

技術表示箇所